

CARRERA DEL INVESTIGADOR CIENTÍFICO Y TECNOLÓGICO

Informe Científico¹

PERIODO²: 2015-2016

1. DATOS PERSONALES

APELLIDO: Mandolesi

NOMBRES: Pablo Sergio

Dirección Particular: Calle:

Localidad: Bahía Blanca CP: 8000 Tel:

*Dirección electrónica (donde desea recibir información, que no sea "Hotmail"):
pmandolesi@gmail.com*

2. TEMA DE INVESTIGACION

"Diseño De Sistemas y Circuitos Integrados, y aplicaciones al medio social y productivo"

PALABRAS CLAVE (HASTA 3) Microelectrónica Sistemas Electrónicos
Microsistemas

3. DATOS RELATIVOS A INGRESO Y PROMOCIONES EN LA CARRERA

INGRESO: Categoría: Asistente Fecha: 12/10/2005

ACTUAL: Categoría: Adjunto desde fecha: 12/08/2011

4. INSTITUCION DONDE DESARROLLA LA TAREA

*Universidad y/o Centro: Instituto de Investigaciones en Ingeniería Eléctrica Alfredo
Desages (IIIE) Universidad Nacional del*

Facultad: -

Departamento: Departamento de Ingeniería Eléctrica

*Cátedra: Análisis y Diseño de Circuitos Analógicos - Análisis y Diseño de Circuitos
Digitales*

Otros: : Laboratorio de Micro y Nano Electrónica - LMNE

Dirección: Calle: San Andrés N°: 800

Localidad: Bahía Blanca CP: 8000 Tel: 0291 4595188

Cargo que ocupa: Profesor Adjunto dedicación exclusiva

5. DIRECTOR DE TRABAJOS (En el caso que corresponda)

Apellido y Nombres: -

Dirección Particular: Calle: - N°: -

Localidad: - CP: - Tel: -

Dirección electrónica: -

¹ Art. 11; Inc. "e"; Ley 9688 (Carrera del Investigador Científico y Tecnológico).

² El informe deberá referenciar a años calendarios completos. Ej.: en el año 2017 deberá informar sobre la actividad del período 1°-01-2015 al 31-12-2016, para las presentaciones bianuales. Para las presentaciones anuales será el año calendario anterior.

.....
Firma del Director (si corresponde)

.....
Firma del Investigador

6. RESUMEN DE LA LABOR QUE DESARROLLA

Descripción para el repositorio institucional. Máximo 150 palabras.

Como investigador me trabajo esta orientado a los sistemas microelectrónicos principalmente sistemas analógicos y de señal mixta. Esta área es imposible de disociar de los sistemas electrónicos donde mi foco es en sistemas de bajo consumo y aplicaciones para internet de las cosas y adquisición de información. Otra tarea prioritaria en mi trabajo es la relación con el medio, en especial el trabajo con empresas para la solución de sus problemas y el apoyo en la concreción de nuevos productos.

7. EXPOSICION SINTETICA DE LA LABOR DESARROLLADA EN EL PERIODO.

Debe exponerse, en no más de una página, la orientación impuesta a los trabajos, técnicas y métodos empleados, principales resultados obtenidos y dificultades encontradas en el plano científico y material. Si corresponde, explicita la importancia de sus trabajos con relación a los intereses de la Provincia.

CAPÍTULO I “LABOR CREATIVA DESARROLLADA EN EL PERIODO INFORMADO”

El título del plan de trabajo propuesto fue “**Diseño De Sistemas y Circuitos Integrados, y aplicaciones al medio social y productivo**”.

Introducción

Durante el período informado (2015-2016) se iniciaron trabajos en sistemas de radio frecuencia orientados principalmente en antenas y se continuaron las líneas de trabajo sobre sistemas integrados en diferentes campos como las aplicaciones en sistemas implantables, en “power management” y en sistemas de adquisición con orientación a comunicaciones. En este último se graduó uno de los tesisistas durante el 2015 y en las otras áreas dos estudiantes presentaron sus tesis y están a la espera de la defensa oral para acceder al grado de doctor. También, durante el período se continuó siguió el trabajo en neurociencias y evaluación cognitiva pero en este caso, con énfasis en lograr un spin-off. Para ello se presentó el grupo de trabajo al programa de *mentorías* de CITES para la formulación de un “startup”. Luego de finalizado el proceso de *mentoría* el proyecto quedó seleccionado para la inversión de CITES (US\$500.000 aproximadamente) y en la actualidad se encuentra en las negociaciones UNS-CIC-CONICET con CITES para llevar a cabo el “spinn-off”. La denominación del emprendimiento es VIEWMIND <http://cites-gss.com/startups/2015/viewmind/>. En sistemas de radio frecuencia, se trabajó en particular, en el diseño de antenas para aplicaciones de RFID. En esta área participo en la dirección de un estudiante que inicio sus trabajos orientándose a una maestría pero en la actualidad a partir de los buenos resultados obtenidos, y del interés del estudiante, estamos presentando un plan de doctorado.

Se continuó con la gestión y ejecución del proyecto FSTICS 001 de Fonarsec denominado Tecnología Electrónica de Alta Complejidad (TEAC), cuyo objetivo es la creación de una plataforma de desarrollo electrónico basado en la interacción entre empresas y entre empresas y academia. Se finalizó el proyecto PICT 2010 Bicentenario de la Agencia Nacional de Promoción Científica y Técnica, “3D Gigascale Integrated Circuits for Nonlinear Computation, Filter and Fusion with Applications in Industrial Field Robotics” y otros proyectos de diferentes fuentes como PID Defensa, Fundación Sadosky, etc. Por último, se continuó el trabajo en la formación de Recursos Humanos para lograr a futuro la ampliación de capacidades en el área. Durante el período se graduó de Doctor el Ingeniero Benjamín Reyes y presentaron su tesis para aspirar al mismo grado los Ingenieros Jhonatan Ceci y Joel Gak. También presentó su tesis de Maestría la Ingeniera Niria Osterman.

Durante el período se realizaron tareas de dirección y ejecución de proyectos de vinculación con el medio local y nacional. Se puede citar en forma resumida, la Armada Argentina, la empresa Penta S.A. (quien hoy posee un circuito integrado de aplicación específica en sus productos), la Bolsa de Cereales, la empresa Arsultra, la firma Juan José Olasagastia, la firma CONARCO, etc.

A continuación se reporta sobre las líneas de trabajo.

Microinversores para celdas fotovoltaicas

En este área se está trabajó en la optimización del diseño de convertidores conmutados para paneles solares. Se abordó el problema existente en paneles solares compuestos por arreglo de celdas bajo iluminación parcial o sombreado. Este problema en los sistemas actuales disminuye notablemente la eficiencia de conversión del panel. Las propuesta realizadas, incluyen el balanceo de corrientes internas basado en el uso convertidores de-dc en escalera. Esta topología de convertidores permite regular la corriente de cada celda en forma independiente para lograr maximizar la potencia extraída. En particular, se trabajo en las topologías, la extensión en número de celdas y la estrategia de control para extraer la máxima potencia del panel bajo simulaciones y prototipos de prueba.

Estos resultados se presentan en

- H. G. Chiacchiarini, J. G. Ceci, A. R. Oliva and P. S. Mandolesi. Cuk Converters for Balanced Power Extraction in Photovoltaic Panels. IEEE Latin American Transactions, Vol. 14, No. 6, June 2016. Issn 1548-0992
- Chiacchiarini Héctor Gerardo; Jonatan Ceci; Oliva Alejandro; Mandolesi Pablo. A Novel Controller for Multiple Ladder Cuk Converters for Balancing Photovoltaic Modules. XVI Reunión de Trabajo en Procesamiento de la Información y Control; 2015. UTN y UNC
- Chiacchiarini Héctor Gerardo; Jonatan Ceci; Oliva Alejandro; Mandolesi Pablo. Cuk Converters for Balanced Power Extraction in Photovoltaic Panels. XVI Reunión de Trabajo en Procesamiento de la Información y Control; 2015. UTN y UNC
- Chiacchiarini, H.G.; Ceci J.; Oliva, A.; Mandolesi Pablo. Balanceo Individual De Corrientes De Celda Para Máxima Extracción De Potencia En Arreglos Fotovoltaicos En Serie: Topología Cuk. Foro Patagónico de Energías Sustentables; 2015, Villa Regina. Universidad Nacional del Comahue.
- Jonatan G. Ceci, Alejandro R. Oliva and Pablo S. Mandolesi. Filter Design for Efficient Energy Extraction from PV Modules: Ladder Converters Architecture. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche.
- Jonatan G. Ceci, Alejandro R. Oliva and Pablo S. Mandolesi. Filter Design for Efficient Energy Extraction from PV Modules: Buck and Boost Converters. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche

Sistemas Integrados para comunicaciones digitales de alta velocidad

En esta área se trabajo sobre el conversor digital analógico y los trasmisores y receptores de señales digitales de alta velocidad. Durante el período informado se finalizo la tesis del Ing. Reyes y se publicaron los resultados experimentales del trabajo. La complejidad de los conversores en estas aplicaciones es la velocidad requerida de conversión que supera las capacidades de las tecnologías de integración actuales que pueden ser desarrolladas por un conversor monolítico. Para evitar esta limitación se han propuesto soluciones que utilizan múltiples conversores sobre una misma señal separándolos en el tiempo de toma de la muestra de manera de conformar un conversor de mayor velocidad. Esta estructura de conversor se denominan de tiempo entrelazado (TI en inglés) e introducen nuevas fuentes de distorsión o ruido sobre el canal de comunicaciones: a) el desajuste de ganancia entre cada conversor y b) el paso temporal desigual entre cada rama del conversor. En el trabajo presentado se incluye una realización novedosa en silicio con una técnica también novedosa de calibración que permite ajustar el conversor en línea.

- Benjamín T. Reyes; German Paulina; Raúl Sanchez; Pablo Mandolesi; Mario Hueda. A 2gs/S 6-Bit Cmos Time-Interleaved Adc For Analysis Of Mixed-Signal Calibration Techniques. *Analog Integrated Circuits And Signal Processing*. Berlin: Springer. 2015 Vol. N°. P - . Issn 0925-1030

Antenas de radiofrecuencia

Como actividad de apoyo al crecimiento y consolidación del instituto, junto al Dr. Favio Masson estamos dirigiendo un estudiante de magister, en proceso de cambio a doctorado, en el área de Antenas de Radiofrecuencia. En esta área mi experiencia esta principalmente en los dispositivos que la utiliza, la microelectrónica de los dispositivos RFID, y juntos hemos abordado el trabajo sobre las antenas. En primera instancia para los RFID y en la actualidad con múltiples objetivos. Durante este trabajo los resultados fueron publicados en congresos nacionales y a la luz de los buenos resultados se abrió la oportunidad de trabajar con un investigador de Brazil con quien se está por enviar a una revista sus últimos resultados obtenidos. Los trabajos presentados son:

- Victor Marcelo Peruzzi; Favio Masson; Pablo Mandolesi. Caracterización De Un Chip Uhf Rfid. Xvi Reunión De Trabajo En Procesamiento De La Información Y Control, Rpic 2015; 2015. Córdoba.
- Victor Marcelo Peruzzi; Favio Masson; Pablo Mandolesi. Antena Con Polarización Circular Para Tag Uhf Rfid. Xxv Congreso Argentino De Control Automático, Aadeca 2016; 2016. Buenos Aires.
- Victor M. Peruzzi Y, Favio R. Masson, Pablo S. Mandolesi. Antena Con Polarización Circular Para Pico Satélites En Banda-L. Xvii Reunión De Trabajo En Procesamiento De La Información Y Control, 20 Al 22 De Septiembre De 2017

Dispositivos implantables

En el área de dispositivos implantables, la seguridad es un factor crítico para todo circuito que estimule tejido biológico. En muchos de los casos los impulsos llegan a ser de valores grades de tensión (18V) y para no perjudicar el tejido toda conducción continua debe estar por debajo de unos pocos micro-Ampers. En estos casos el diseño del actuador y el circuito de manejo (“Driver” y/o “level shifter”) es crítico y debe cumplir condiciones de seguridad inhibiendo la conducción de corriente continua ante fallas. Esta temática se abordó en el trabajo de tesis del Ing. Joel Gak quien presentó un diseño novedoso del actuador en todas sus partes. El trabajo de Joel, se baso primero en simulaciones y luego llevó adelante la implementación física de prototipos y las mediciones de contraste tanto para el actuador y los circuitos de control. Estos prototipos fueron fabricados en un proceso de alta tensión de Silicio sobre aislante SOI y los resultados se presentaron en:

- Joel Gak, Alfredo Arnaud, P. Mandolesi. A Safe MOSFET Driver for Stimulation of Biological Tissue. Uruguay. Montevideo. 2015. Artículo Completo. Congreso. 6th IEEE Latin American Symposium on Circuits and Systems. 2015
- Joel Gak, Matias Miguez, Alfredo Arnaud, Pablo S. Mandolesi. Blind range level shifters from 0 to 18V. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche

Aplicaciones al medio social y productivo

Durante el período del informe se ha continuado con la organización de la Escuela Argentina de Microelectrónica EAMTA (www.eamta.org). A la fecha, más de 1000 estudiantes argentinos han realizado su primer chip durante este evento. En 2015 y 2016 la escuela se realizó en la UTN-FR Villa María y en la Universidad del Comahue respectivamente

Se continuó y se continúa en la actualidad con el proyecto FONARSEC TEAC (Tecnología Electrónica de Alta Complejidad), del cual soy Investigador en el grupo responsable. Este proyecto ha sido presentado formalmente por un Consorcio Público Privado denominado Tecnópolis Del Sur, compuesto inicialmente por la Universidad Nacional del Sur, INTI, la Unión Industrial Bahía Blanca (UIBB), el Ente Zona Franca Bahía Blanca Coronel Rosales (EZF), y cuatro empresas de sistemas electrónicos. En la actualidad la cantidad de empresas participantes ha aumentado a 17 gracias a la interacción entre los grupos de investigación de la UNS y del INTI con actores del sector privado. Los resultados obtenidos se presentan en un libro que está en prensa actualmente en la Editorial de la Universidad Nacional del Sur. Las actividades principales realizadas en el marco del proyecto, se listan sintéticamente a continuación :

1. Se culminó con el desarrollo de librerías de propiedad intelectual, esto es bloques *circuitales* que pueden ser utilizados por terceros para el desarrollo de chips propios. Las mismas, luego de ser diseñadas fueron fabricadas y se verificó su funcionamiento, es decir, que su funcionamiento está asegurado. Este punto es de gran importancia porque allí radica la confiabilidad del producto. Estas librerías están a disposición de las empresas PYMES.
2. Se continuó el trabajo con la empresa PENTA SA para el desarrollo de una versión comercial del circuito integrado a nivel de prototipo realizado durante la primera fase del proyecto. Se propuso y obtuvo financiamiento para ello a través de un proyecto PRIS de la Comunidad Económica Europea por intermedio la FAN. Se envió a fabricación y encapsulado un lote de 200 circuitos integrados que hoy están integrados en la línea de producción de detectores de metales de la empresa. Se trata del primer producto de una empresa PYME nacional con esta tecnología. Los chips fueron testeados en forma aislada y luego dentro de un equipo, donde se comprobó su correcto funcionamiento.
3. Se colaboró con la empresa EMTECH para el diseño y desarrollo de una placa de desarrollo basada en FPGA, denominada LANIN que pueda ser utilizada como vehículo de desarrollo en la industria. Se realizó una prospectiva para determinar su aplicabilidad a futuro.
4. Se brindó asistencia a INTECBA SRL para el desarrollo de un vehículo submarino, para una boya inteligente y para un amarre laser de puerto. Se cuenta con un prototipo de vehículo submarino, cuya estructura debe ser rediseñada. El amarre láser se puso en funcionamiento y se han llevado a cabo experimentos exitosos.
5. Se continuó y finalizó el Servicio científico-tecnológico (PDTS) CONICET-INTI, consistente en la dirección técnica para el diseño y desarrollo de un Sistema-en-Chip (SoC) de plataformas multimedia inteligentes, entre ellas decodificadores de TV inteligentes, televisores inteligentes, tabletas, netbooks y teléfonos inteligentes. El trabajo consistió en la dirección de los profesionales (unas 40 personas aproximadamente) del Centro de Micro y Nanoelectrónica (CMNB) del INTI pertenecientes a la sede Bahía Blanca y a la sede de Buenos Aires, en la confección de un análisis técnico económico para la realización de un SoC de alta complejidad en Argentina. Este análisis determinó una tecnología de 28nm y la selección de bloques de IP comerciales necesarios, basados en un procesador de 4 cores ARM A15. En base a un análisis de tendencias mundiales y de los productos ensamblados en la actualidad en Tierra del Fuego, se concluyó que el segmento de producto más conveniente en ese momento era el de un SoC para Smart TV.
6. Se formalizó un STAN con la empresa miembro CONARCO para el diseño de un prototipo de soldadora electrónica de arco fabricada enteramente en el país. En el marco del mismo se realizó un análisis de factibilidad, se caracterizaron los datos específicos de funcionamiento y se construyó un primer prototipo.

7. Se inicio el trabajo con la Firma Juan José Olasagastia en el desarrollo de una familia de sistemas dedicados a la agricultura de precisión. En la actualidad se poseen prototipos de campo del primer producto y simultáneamente se solicitó un ANR para acelerar el proyecto con el financiamiento.
8. Se realizo un circuito integrado para aplicaciones críticas con financiamiento de la Fundación Sadosky y participación del la empresa Arsultra como primer paso para la formulación de un producto.

8. TRABAJOS DE INVESTIGACION REALIZADOS O PUBLICADOS EN ESTE PERIODO.

8.1 PUBLICACIONES. Debe hacer referencia exclusivamente a aquellas publicaciones en las que haya hecho explícita mención de su calidad de Investigador de la CIC (Ver instructivo para la publicación de trabajos, comunicaciones, tesis, etc.). Toda publicación donde no figure dicha mención no debe ser adjuntada porque no será tomada en consideración. A cada publicación, asignarle un número e indicar el nombre de los autores en el mismo orden que figuran en ella, lugar donde fue publicada, volumen, página y año. A continuación, transcribir el resumen (abstract) tal como aparece en la publicación. La copia en papel de cada publicación se presentará por separado. Para cada publicación, el investigador deberá, además, aclarar el tipo o grado de participación que le cupo en el desarrollo del trabajo y, para aquellas en las que considere que ha hecho una contribución de importancia, deberá escribir una breve justificación. Asimismo, para cada publicación deberá indicar si se encuentra depositada en el repositorio institucional CIC-Digital.

Revistas

1. **BENJAMÍN T. REYES; GERMAN PAULINA; RAÚL SANCHEZ; PABLO MANDOLESI; MARIO HUEDA. A 2GS/s 6-bit CMOS Time-Interleaved ADC for Analysis of Mixed-Signal Calibration Techniques. ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING. Berlin: SPRINGER. 2015 vol. n°. p - . issn 0925-1030.**

Resumen:

A 2-GS/s 6-bit time interleaved (TI) successive approximation register (SAR) analog-to-digital converter (ADC) is designed and fabricated in a 0.13 μm CMOS process. The architecture uses 8 time-interleaved track-and-hold amplifiers (THA) and 16 asynchronous SAR ADCs. The sampling frequency of the TI-ADC can be set from 200 MHz to more than 2 GHz. The chip includes (i) a programmable delay cell array to adjust up to $\pm 25\%$ the sampling clock phase in each THA for all frequency range, and (ii) a multi-channel low voltage differential signaling (LVDS) interface capable of transmitting at full sampling rate (>12 Gbps), without decimation, off-chip. These blocks make the fabricated ADC an excellent platform to test/evaluate mixed-signal calibration algorithms, which are of great interest for application in high-speed optical systems. Measurements of the fabricated ADC show a peak signal-to-noise-and-distortion ratio (SNDR) of 33.9 dB and a power consumption of 192 mW at 1.2 V.

2. **H. G. Chiacchiarini, J. G. Ceci, A. R. Oliva and P. S. Mandolesi. Ćuk Converters for Balanced Power Extraction in Photovoltaic Panels. IEEE LATIN AMERICA TRANSACTIONS, VOL. 14, NO. 6, JUNE 2016. ISSN 1548-0992**

Resumen:

This work presents a scheme of current balance implemented with Ćuk converters for photovoltaic (PV) panels, which allows controlling the current that each cell generates and therefore drives each cell to its maximum power point (MPP). Ladder converter architectures offer substantial improvements compared to traditional solutions since each converter only needs to process the power difference between series connected PV devices (module, substring, cells). A simple case, connecting just three PV cells is studied in this work. The strategy for balancing the current produced by each cell is developed. The work describes the circuit topology under analysis, the control strategy for each converter and simulation results that validate the proposal.

Congresos

1. **JOEL GAK, ALFREDO ARNAUD, P. MANDOLESI. A Safe MOSFET Driver for Stimulation of Biological Tissue. Uruguay. Montevideo. 2015. Libro. Artículo Completo. Congreso. 6th IEEE**

Latin American Symposium on Circuits and Systems.

Resumen:

Safety is one of the main concerns in ASICs for implantable medical devices. One general rule for safety is that the failure of a single circuit element in a circuit connected to tissue must not cause a DC current flow through the electrode connected to tissue larger than a few μA . In single electrodes and electrode arrays, there are many switches to deliver stimuli, to select the polarity, or to select the output electrode, etc., that are potentially harmful for example in the case of a punctured MOS switch gate. In this work the design, simulation, and test of a novel safe switch gate control circuit block is presented. The circuit was fabricated in a $0.6\mu\text{m}$ SOI HV technology, and is aimed at driving MOSFETs in direct contact to biological tissue to drive up to 18V stimuli.

2. **CHIACCHIARINI HÉCTOR GERARDO; JONATAN CECI; OLIVA ALEJANDRO; MANDOLESI PABLO. A Novel Controller for Multiple Ladder Cuk Converters for Balancing Photovoltaic Modules. XVI Reunión de Trabajo en Procesamiento de la Información y Control; 2015. UTN y UNC**

Resumen:

Partial shading is undeniably one of the most severe problems in photovoltaic power harvesting at residential locations. Hardware architectures have proven to be valuable, since they can virtually eliminate the power loss induced by partial shading. Actually, it depends on the architecture's granularity level. Working at cell level will result in a photovoltaic module that does not suffer from partial shading. However, the controller complexity and computational effort grows rapidly as the number of series cells increases. This work proposes a simple alternative to reduce the order of the control strategy while still maintaining total control of the system operating point. A two-level strategy based on discrete controllers is actually used to drive the entire system (composed of 12 cells) to its global maximum power point (MPP). The performance of the developed controller is tested through simulations that show promising results.

3. **CHIACCHIARINI HÉCTOR GERARDO; JONATAN CECI; OLIVA ALEJANDRO; MANDOLESI PABLO. Cuk Converters for Balanced Power Extraction in Photovoltaic Panels XVI Reunión de Trabajo en Procesamiento de la Información y Control; 2015. UTN y UNC**

Resumen:

This work presents a scheme of current balance implemented with Cuk converters for PV panels, which allow controlling the current that each cell generates and therefore drive each cell to its maximum power point (MPP). Ladder converter architectures offer substantial improvements compared to traditional solutions since each converter only needs to process the power difference between series connected photovoltaic (PV) devices (module, substring, cells). A simple case, connecting just three PV cells is studied in this work. The strategy for balancing the current produced by each cell is developed. The work includes the circuit topology under analysis, the control strategy for each converter and simulation results that validate the proposal.

4. **CHIACCHIARINI, H.G.; CECI J.; OLIVA, A.; MANDOLESI PABLO. BALANCEO INDIVIDUAL DE CORRIENTES DE CELDA PARA MÁXIMA EXTRACCIÓN DE POTENCIA EN ARREGLOS FOTOVOLTAICOS EN SERIE: TOPOLOGÍA CUK. Foro Patagónico de Energías Sustentables; 2015, Villa Regina. Universidad Nacional del Comahue.**

Resumen

Un panel solar está compuesto por un conjunto de celdas fotovoltaicas conectadas en serie, o varios conjuntos puestos entre sí en paralelo. El panel se monta procurando que toda su superficie esté expuesta a la misma radiación solar para que todas las celdas produzcan la misma corriente que las demás, lo cual simplifica el problema de extraer la máxima potencia eléctrica. Sin embargo, en entornos urbanos esto no siempre es posible porque muchas veces la existencia de árboles y/o edificaciones cercanas, entre otras causas, puede ocasionar el sombreado parcial o total del panel en ciertos momentos del día. En condiciones de sombreado parcial, cada celda ofrecerá una condición operativa distinta para máxima extracción de potencia y no será posible extraer simultáneamente la máxima potencia de cada celda

5. **VICTOR MARCELO PERUZZI; FAVIO MASSON; PABLO MANDOLESI. Caracterización de un chip UHF RFID. XVI Reunión de trabajo en Procesamiento de la Información y Control, RPIC 2015; 2015. Cordoba.**

Resumen:

En la construcción de tags para sistemas de UHF RFID un aspecto clave para mejorar el rango de funcionamiento es lograr una buena adaptación entre las impedancias de la antena y el chip. Debido a las características de la comunicación entre lector y tag, los circuitos integrados de UHF RFID poseen dos estados de operación en los cuales presentan diferentes impedancias. Los fabricantes de

circuitos integrados publican datos solamente para uno de ellos, el estado de absorción. En este artículo se presenta un procedimiento para caracterizar completamente la impedancia del chip en ambos estados de operación y se muestran resultados experimentales para un chip comercial modelo Alien Higgs 4.

- 6. VICTOR MARCELO PERUZZI; FAVIO MASSON; PABLO MANDOLESI. Antena con Polarización Circular para Tag UHF RFID. XXV Congreso Argentino de Control Automático, AADECA 2016; 2016. Buenos Aires.**

Resumen:

En este artículo se presenta un modelo de antena con polarización circular para un tag pasivo de RFID que opera en la banda UHF. El rango de utilización de estos tags depende, entre otros factores, de la calidad de la adaptación entre la impedancia de entrada del chip y de la antena, y del coeficiente de polarización entre la antena del lector y del tag. La antena propuesta consta de un par de dipolos ortogonales alimentados con una diferencia de fase de 90° y una red de adaptación incorporada. Se muestran resultados de simulación numérica de la ganancia e impedancia de entrada con la topología propuesta y mediciones sobre un prototipo en FR4 de la impedancia de entrada y algunas características del patrón de radiación.

8.2 TRABAJOS EN PRENSA Y/O ACEPTADOS PARA SU PUBLICACIÓN. *Debe hacer referencia exclusivamente a aquellos trabajos en los que haya hecho explícita mención de su calidad de Investigador de la CIC (Ver instructivo para la publicación de trabajos, comunicaciones, tesis, etc.). Todo trabajo donde no figure dicha mención no debe ser adjuntado porque no será tomado en consideración. A cada trabajo, asignarle un número e indicar el nombre de los autores en el mismo orden en que figurarán en la publicación y el lugar donde será publicado. A continuación, transcribir el resumen (abstract) tal como aparecerá en la publicación. La versión completa de cada trabajo se presentará en papel, por separado, juntamente con la constancia de aceptación. En cada trabajo, el investigador deberá aclarar el tipo o grado de participación que le cupo en el desarrollo del mismo y, para aquellos en los que considere que ha hecho una contribución de importancia, deberá escribir una breve justificación.*

- 7. Victor M. Peruzzi y, Favio R. Masson z, Pablo S. Mandolesi. Antena con Polarización Circular para Pico Satélites en Banda-L. XVII Reunión de Trabajo en Procesamiento de la Información y Control, 20 al 22 de septiembre de 2017**

Resumen

En este trabajo se presenta una antena con polarización circular en la Banda-L de frecuencias diseñada para servicios de comunicaciones en pico satélites de observación terrestre. El diseño se basa en un par de dipolos ortogonales alimentados por un cable coaxial y con un reflector plano para mejorar las características del patrón de radiación. Los dipolos se implementan sobre placas de circuito impreso PCB y todo el conjunto se diseñó teniendo en cuenta las restricciones de peso y tamaño impuestas por la tecnología aeroespacial. Se muestran resultados de las principales características de la antena por simulación como así también mediciones de impedancia y axial ratio realizadas sobre un prototipo en FR4.

- 8. Joel Gak , Matias Miguez, Alfredo Arnaud, Pablo S. Mandolesi. Blind range level shifters from 0 to 18V. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche.**

Resumen

In this work the design, simulation and measurement results of high voltage level shifters (LS) is presented. A modification is introduced to the standard LS, and a design criterion was developed, for the level shifter to work in a very wide range of operation from 0 to 18V. Also, safety issues were addressed when the level shifters are used to deliver stimuli to biological tissue in medical devices.

- 9. Jonatan G. Ceci, Alejandro R. Oliva and Pablo S. Mandolesi. Filter Design for Efficient Energy Extraction from PV Modules: Ladder Converters Architecture. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche.**

Resumen:

The ladder converters architecture is a distributed maximum power point tracking (MPPT) scheme capable of virtually eliminating mismatch problems. These converters only operate on power difference between their connected photovoltaic (PV) devices. As in any converter, ripple is always present in

the current and voltage signals, and is commonly neglected by using over sized passive filters. The impact of ripple in the harvesting process from a PV device is discussed in this work. The ripple that propagates from the ladder converter architecture to the PV device is also studied. Combining both analysis results in a calculation method for the minimum low pass filter required to extract 99% of the available dc power. Simulation are performed to validate the analysis, showing a high correlation with the method's results.

- 10. Jonatan G. Ceci, Alejandro R. Oliva and Pablo S. Mandolesi. Filter Design for Efficient Energy Extraction from PV Modules: Buck and Boost Converters. 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS). February 20, 2017 to February 23, 2017. Bariloche. Resumen**

Traditionally, large passive components are used to virtually eliminate ripple at the PV device terminals, resulting in expensive and less reliable converters. This work analyzes how to determine the minimum size of a cascaded power converter's input filter to extract at least 99% of the available energy, over a wide range of operating conditions. The buck and boost converter topologies are studied. The minimum passive filter required depends on the operating range and the switching frequency but slightly varies for different PV modules. The effect of ripple in the power extraction process is discussed. The proposed analysis is validated through computer simulations, that show high correlation with the mathematical model's predictions.

- 8.3 TRABAJOS ENVIADOS Y AUN NO ACEPTADOS PARA SU PUBLICACION.** Incluir un resumen de no más de 200 palabras de cada trabajo, indicando el lugar al que han sido enviados. Adjuntar copia de los manuscritos.

- 8.4 TRABAJOS TERMINADOS Y AUN NO ENVIADOS PARA SU PUBLICACION.** Incluir un resumen de no más de 200 palabras de cada trabajo.

- 8.5 COMUNICACIONES.** Incluir únicamente un listado y acompañar copia en papel de cada una. (No consignar los trabajos anotados en los subtítulos anteriores).

- 8.6 INFORMES Y MEMORIAS TECNICAS.** Incluir un listado y acompañar copia en papel de cada uno o referencia de la labor y del lugar de consulta cuando corresponda. Indicar en cada caso si se encuentra depositado en el repositorio institucional CIC-Digital.

9. TRABAJOS DE DESARROLLO DE TECNOLOGÍAS.

- 9.1 DESARROLLOS TECNOLÓGICOS.** Describir la naturaleza de la innovación o mejora alcanzada, si se trata de una innovación a nivel regional, nacional o internacional, con qué financiamiento se ha realizado, su utilización potencial o actual por parte de empresas u otras entidades, incidencia en el mercado y niveles de facturación del respectivo producto o servicio y toda otra información conducente a demostrar la relevancia de la tecnología desarrollada.

- 9.2 PATENTES O EQUIVALENTES** Indicar los datos del registro, si han sido vendidos o licenciados los derechos y todo otro dato que permita evaluar su relevancia.

Fernandez Gerardo, Agamennoni Osvaldo y Mandolesi Pablo. "Método para la evaluación del deterioro cognitivo de una persona y equipo para llevar a cabo el mismo". Solicitud de patente presentada ante el INPI el 10 de marzo de 2015. Expediente INPI 20150100707.

Presentación PCT Marzo 2016

- 9.3 PROYECTOS POTENCIALMENTE TRANSFERIBLES, NO CONCLUIDOS Y QUE ESTAN EN DESARROLLO.** Describir objetivos perseguidos, breve reseña de la labor realizada y grado de avance. Detallar instituciones, empresas y/o organismos solicitantes.

9.4 OTRAS ACTIVIDADES TECNOLÓGICAS CUYOS RESULTADOS NO SEAN PUBLICABLES (desarrollo de equipamientos, montajes de laboratorios, etc.).

9.5 Sugiera nombres (e informe las direcciones) de las personas de la actividad privada y/o pública que conocen su trabajo y que pueden opinar sobre la relevancia y el impacto económico y/o social de la/s tecnología/s desarrollada/s.

Dr. Osvaldo Agamennoni. Investigador Superior CIC. oagamen@uns.edu.ar

Dr. Pedro Julian Investigador Principal CONICET. pedro.julian@gmail.com

Dr. Juan Cousseau. Director IIIE UNS-CONICET. jcousseau@gmail.com

10. SERVICIOS TECNOLÓGICOS. Indicar qué tipo de servicios ha realizado, el grado de complejidad de los mismos, qué porcentaje aproximado de su tiempo le demandan y los montos de facturación.

- F. MASSON; A. AYMONINO; S. SONDON, F. PALUMBO, P.MANDOLESI, M. ALURRALDE, P. JULIAN, Y A. FILEVICH; J. COUSSEAU; P MANDOLESI. Servicio eventual. Dirección técnica para el diseño y desarrollo de un Sistema-en-Chip (SoC). 2013-08-01 - 2016-08-01. Asesoramientos, consultorías y asistencias técnicas. Producir bienes y/o servicios. Responsable del equipo y/o área. Pesos 568421.05. Prod.Metal.,Maq.y Equ.-Componentes Electron.

- AYMONINO; OTROS; H. CHIACCHIARINI; P. MANDOLESI. Servicio eventual. Plataforma para la producción de Tecnología Electrónica de alta complejidad. 2012-10-01 - 2015-12-01. Estudios de pre-factibilidad y/o factibilidad. Introducir mejoras técnicas en procesos o productos. Asesor, investigador o consultor individual. Pesos 120000.00. Varios campos.

- Presentación ANR firma "Juan José Olasagastia" para el desarrollo de Sistemas Electrónicos Aplicados a la Agricultura de Precisión

- Colaboración con PENTA S.A. proyecto PRIS de la Comunidad Económica Europea y la incorporación de un ASIC a sus productos

- STAN con la empresa miembro CONARCO para el diseño de un prototipo de soldadora electrónica de arco fabricada enteramente en el país.

11. PUBLICACIONES Y DESARROLLOS EN:

11.1 DOCENCIA

11.2 DIVULGACIÓN

En cada caso indicar si se encuentran depositados en el repositorio institucional CIC-Digital.

12. DIRECCION DE BECARIOS Y/O INVESTIGADORES. Indicar nombres de los dirigidos, Instituciones de dependencia, temas de investigación y períodos.

- Ceci, Jonatan. Doctorado - Finalizada 3/2017
- Reyes, Benjamín. Doctorado. Finalizada 3/2015
- Morales, Juan Ignacio. Doctorado. Inicio 4/2016

13. DIRECCION DE TESIS. Indicar nombres de los dirigidos y temas desarrollados y aclarar si las tesis son de maestría o de doctorado y si están en ejecución o han sido defendidas; en este último caso citar fecha.

- Osterman Sarracini, Niria Iris. Maestría. Presentada a la espera de la defensa
- Falcón. Alfredo. Maestría y Doctorado. Presentada a la espera de la defensa
- Ceminari, Paola Anabella. Maestría en curso
- Ceci, Jonatan. Doctorado Presentada a la espera de la defensa

- Peruzzi Marcelo. Maestría en curso
- Schlenker, Verónica. Doctorado en Curso
- Reyes, Benjamín. Doctorado. Finalizado 3/2015. Nota 10
- Alejandro Pasciaroni. Maestría Finalizada 29/12/2015 Nota 10
- Szollosy, Joel Gak. Doctorado Presentada a la espera de la defensa
- Morales Juan Ignacio. Doctorado en curso

14. PARTICIPACION EN REUNIONES CIENTIFICAS. *Indicar la denominación, lugar y fecha de realización, tipo de participación que le cupo, títulos de los trabajos o comunicaciones presentadas y autores de los mismos.*

15. CURSOS DE PERFECCIONAMIENTO, VIAJES DE ESTUDIO, ETC. *Señalar características del curso o motivo del viaje, período, instituciones visitadas, etc.*

16. SUBSIDIOS RECIBIDOS EN EL PERIODO. *Indicar institución otorgante, fines de los mismos y montos recibidos.*

Co-Director del Proyecto Desarrollo de Sistemas Trazables de Almacenamiento y Transporte para Especialidades Agrícolas Mediante Envases Activos, Herméticos e Inteligentes. 2017-2019. Fecha Presentación: 11/2016. Inicio 1/2017 Finalización 12/2019. Proyecto PDS Monto total: \$ 994.950

- Director del Proyecto Desarrollo de un Sistema Integrado SoC para aplicaciones industriales críticas. Chip AU-T1C . Fundación Sadosky. Ejecución año 2015. Monto total: \$200.000

- Investigador del Proyecto PICT 2010 Bicentenario de la Agencia Nacional de Promoción Científica y Técnica, “3D Gigascale Integrated Circuits for Nonlinear Computation, Filter and Fusion with Applications in Industrial Field Robotics”, código 2657 para los años 2011-2014. Fecha Inicio: 30/09/2011. Monto total: \$1.200.000

- Investigador del Proyecto, “Conciencia de la situación completa en escenarios de tráfico complejos y posicionamiento ubicuo”, 32-64-195, Diciembre de 2014. Monto subsidio: \$200.000

- Investigador del Proyecto FSTICS 001 de la Agencia Nacional de Promoción Científica y Técnica, “TEAC: Plataforma para la producción de tecnología electrónica de alta complejidad”. Fecha inicio: 21/12/2011. Monto total: \$32.575.299,38; Contraparte privada: \$15.199.813,11; Monto subsidio: \$18.915.365

- Investigador Diseño y ensayo de circuitos integrados para manejo de potencia en tecnología CMOS en escala nanométrica Marzo 2013 a Agosto 2015 Servicio científico-tecnológico (PDS) CONICET-INTI

17. OTRAS FUENTES DE FINANCIAMIENTO. *Describir la naturaleza de los contratos con empresas y/o organismos públicos.*

Stan y consultorías con empresas privadas realizadas a travez de las UVT Fundasur y UNS

- Stan y consultorías con empresas privadas realizadas a travez de las UVT Fundasur y UNS

- STAN Dirección técnica para el diseño y desarrollo de un Sistema-en-Chip (SoC). SEP 2013 – AGO 2016. Adoptante: INTI. Financia Ministerio de Planificación Federal.

- STAN Servicio Desarrollo Inverter. Mar 2015 – AGO 2015. Adoptante y Financiador CONARCO SA

- Presentación ANR firma “Juan José Olasagastia” para el desarrollo de Sistemas Electrónicos Aplicados a la Agricultura de Precisión. Monto subsidio: \$2.000.000

- Investigador STAN Servicio Desarrollo Inverter. Mar 2015 – AGO 2015.
Adoptante y Financiador CONARCO SA

18. DISTINCIONES O PREMIOS OBTENIDOS EN EL PERIODO.

19. ACTUACION EN ORGANISMOS DE PLANEAMIENTO, PROMOCION O EJECUCION CIENTIFICA Y TECNOLÓGICA. *Indicar las principales gestiones realizadas durante el período y porcentaje aproximado de su tiempo que ha utilizado.*

Comisión asesora CAH Reunión CAH Tics, Electrónica e Informática de la CIC
Comisión CAH Ingeniería, Tecnol. Qca., de los Alimentos, TIC's y otras.
Miembro del Consejo Departamental del Departamento de Ingeniería Eléctrica y de Computadoras de la UNS
Miembro del Consejo Asesor del Instituto de Investigaciones en Ingeniería Eléctricas IIIE "Alfredo Desages"

20. TAREAS DOCENTES DESARROLLADAS EN EL PERIODO. *Indicar el porcentaje aproximado de su tiempo que le han demandado.*

Cursos de Grado:

Análisis y diseño de Circuitos Analógicos I
Análisis y Diseño de Circuitos Digitales
Proyecto Final de Carrera

Cursos de posgrado:

2003-2017 Diseño de Circuitos Integrados Digitales en Tecnología CMOS. Curso de Posgrado de 60 horas dictado en conjunto con el Dr. Pedro Julián en el Departamento de Ingeniería Eléctrica y de Computadoras de la Universidad Nacional del Sur.

2004-2017 Diseño de Circuitos Integrados Analógicos en Tecnología CMOS. Curso de Posgrado de 60 horas dictado en conjunto con el Dr. Pedro Julián y el Profesor Eduardo Paolini en el Departamento de Ingeniería Eléctrica y de Computadoras de la Universidad Nacional del Sur.

2008-2017 Modelado y Operación de Transistores MOS. Curso de Posgrado de 60 horas dictado en conjunto con el Dr. Pedro Julián en el Departamento de Ingeniería Eléctrica y de Computadoras de la Universidad Nacional del Sur

21. OTROS ELEMENTOS DE JUICIO NO CONTEMPLADOS EN LOS TITULOS ANTERIORES. *Bajo este punto se indicará todo lo que se considere de interés para la evaluación de la tarea cumplida en el período.*

22. TITULO, PLAN DE TRABAJO A REALIZAR EN EL PROXIMO PERIODO. *Desarrollar en no más de 3 páginas. Si corresponde, explicita la importancia de sus trabajos con relación a los intereses de la Provincia.*

“DISEÑO DE SISTEMAS Y CIRCUITOS INTEGRADOS, Y APLICACIONES AL MEDIO SOCIAL Y PRODUCTIVO”

El plan continúa los lineamientos del planteado para el período anterior, manteniendo el énfasis en aplicaciones.

1) Objetivo General

El objetivo general del plan de trabajo es la producción de tecnología, herramientas, recursos humanos y conocimientos para el desarrollo de microsistemas para su uso

aislado o en red y el estudio de aplicaciones que por sus características resulten de interés para nuestro país.

2) **Objetivos particulares**

Desarrollar circuitos integrados (CI) de bajo consumo como diversas aplicaciones como “power management”, procesamiento general de video y de imágenes, manejo de señales de tiempo preciso y transductores para su utilización en sistemas en red IOT.

Formar recursos humanos en el área de Microelectrónica y sistemas electrónicos dedicados.

Desarrollar prototipos y redes a escala para solucionar problemas específicos en el medio social/productivo.

Desarrollar un ecosistema productivo basado en la producción de sistemas electrónicos en la región de Bahía Blanca, a través de la iniciativa de Tecnópolis del Sur y el proyecto institucional del IIIE.

3) **Tareas o actividades a realizar para alcanzar el/los objetivos particulares propuestos**

- Diseño, simulación y evaluación de diferentes esquemas de procesamiento de señales de tiempo preciso. Realización de retardos y equalización de los tiempos para asegurar transiciones de tiempo preciso. Realización de algoritmos en hardware para la síntesis de señales con baja distorsión utilizando conmutaciones precisas de manera de extender el rango dinámico de los sistemas de baja tensión utilizando el tiempo como variable. [1] [2] [3] [4] [5] [6] [7] [8] [9][10] [11] [12] [13] [14] [15].

- Diseño, simulación y evaluación de arquitecturas de adquisición de imágenes y procesamiento en chip, con énfasis en la integración de tareas de alto nivel para imagers inteligentes [16][17][18]. Diseño y verificación de prototipos de CI en tecnologías sub-micrométricas y tecnologías 3D [19] [20] [21] [22] [23].

- Desarrollo de prototipos, nodos y redes a escala para la resolución de problemas particulares orientados a transporte inteligente, trazabilidad e internet de las cosas (IOT).

4) **Recursos asignados al plan**

Para la realización del plan se cuenta con los siguientes recursos:

- Proyecto PICT 2016 de la Agencia Nacional de Promoción Científica y Técnica, “Procesadores masivos de datos de alta eficiencia energética en tecnologías avanzadas de circuitos integrados”, código PICT- 2016- 2009 para los años 2017-2019. Monto total: \$1.005.159

- Proyecto Desarrollo de Sistemas Trazables de Almacenamiento y Transporte para Especialidades Agrícolas Mediante Envases Activos, Herméticos e Inteligentes. 2017-2019. Fecha Presentación: 11/2016. Inicio 1/2017 Finalización 12/2019. Proyecto PDS Monto total: \$ 994.950

- Proyectos ANR Desarrollos Satelitales, presentado en evaluación a FONRSEC. CAPP Universidad Nacional del Sur – Emtech S.A. Coordinador Científico. Monto subsidio Universidad Nacional del Sur: \$1.800.000 . Duración 2 años

- Proyectos ANR Desarrollos Satelitales, presentado en evaluación a FONRSEC. CAPP Universidad Nacional del Sur – Arsultra S.A. Coordinador Científico. Monto subsidio Universidad Nacional del Sur: \$1.000.000 . Duración 2 años

5) **Indicadores de evaluación esperados**

Como consecuencia del desarrollo del plan de trabajo se construirán prototipos de circuitos integrados. En base a ellos, se construirán estaciones y/o nodos experimentales, con electrónica periférica de interfaz, acondicionamiento y comunicaciones. Se diseñarán experimentos para probar el funcionamiento y desempeño de los mismos.

Los resultados obtenidos en simulaciones y experimentos serán reportados en congresos nacionales/internacionales y en revistas internacionales como el IEEE Transactions on Circuits and Systems. Los resultados obtenidos también serán comparados con resultados actuales obtenidos por otros grupos que trabajan en temáticas similares.

6) Referencias

- [1] B. Abdulrazzaq et al, "A review on high-resolution CMOS delay lines: towards subpicosecond jitter performance," SpringerPlus 5.1 (2016): 1.
- [2] K. J. Hsiao and T. C. Lee, "An 8-GHz to 10-GHz Distributed DLL for Multiphase Clock Generation," in IEEE Journal of Solid-State Circuits, vol. 44, no. 9, pp. 2478-2487, Sept. 2009.
- [3] J. Jasielski, S. Kuta, W. Machowski and W. Kołodziejcki, "An analog dual delay locked loop using coarse and fine programmable delay elements," Mixed Design of Integrated Circuits and Systems (MIXDES), 2013 Proceedings of the 20th International Conference, Gdynia, 2013, pp. 185-190.
- [4] T. Mehrabi, K. Raahemifar and V. Geurkov, "Design of a 4-bit programmable delay with TDC-based BIST for use in serial data links," 2014 International Symposium on Integrated Circuits (ISIC), Singapore, 2014, pp. 580-583.
- [5] M. Maymandi-Nejad and M. Sachdev, "A digitally programmable delay element: design and analysis," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 11, no. 5, pp. 871-878, Oct. 2003.
- [6] M. Maymandi-Nejad and M. Sachdev, "A monotonic digitally controlled delay element," in IEEE Journal of Solid-State Circuits, vol. 40, no. 11, pp. 2212-2219, Nov. 2005.
- [7] A. Singhvi, M. T. Moreira, R. N. Tadros, N. L. V. Calazans and P. A. Beerel, "A Fine-Grained, Uniform, Energy-Efficient Delay Element for FD-SOI Technologies," 2015 IEEE Computer Society Annual Symposium on VLSI, Montpellier, 2015, pp. 27-32.
- [8] W. Wang, H. Zhou, F. Ye and J. Ren, "An 8-bit 4fs-step digitally controlled delay element with two cascaded delay units," 2015 IEEE 11th International Conference on ASIC (ASICON), Chengdu, 2015, pp. 1-4.
- [9] F. Baronti, L. Fanucci, D. Lunardini, R. Roncella and R. Saletti, "A technique for nonlinearity self-calibration of DLLs," in IEEE Transactions on Instrumentation and Measurement, vol. 52, no. 4, pp. 1255-1260, Aug. 2003.
- [10] F. Baronti, D. Lunardini, R. Roncella and R. Saletti, "A self-calibrating delay-locked delay line with shunt-capacitor circuit scheme," in IEEE Journal of Solid-State Circuits, vol. 39, no. 2, pp. 384-387, Feb. 2004.
- [11] S. Schidl, K. Schweiger, W. Gaberl and H. Zimmermann, "Analogously tunable delay line for on-chip measurements with sub-picosecond resolution in 90 nm CMOS," in Electronics Letters, vol. 48, no. 15, pp. 910-911, July 19 2012.
- [13] Bah-Hwee Gwee, J. S. Chang and Huiyun Li, "A micropower low-distortion digital pulsewidth modulator for a digital class D amplifier," in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, no. 4, pp. 245-256, Apr 2002.
- [14] P. A. J. Nuyts, P. Singerl, F. Dielacher, P. Reynaert and W. Dehaene, "A Fully Digital Delay Line Based GHz Range Multimode Transmitter Front-End in 65-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 47, no. 7, pp. 1681-1692, July 2012.

Condiciones de la presentación:

- A. El Informe Científico deberá presentarse dentro de una carpeta, con la documentación abrochada y en cuyo rótulo figure el Apellido y Nombre del Investigador, la que deberá incluir:

- a. Una copia en papel A-4 (puntos 1 al 22).
 - b. Las copias de publicaciones y toda otra documentación respaldatoria, en otra carpeta o caja, en cuyo rótulo se consignará el apellido y nombres del investigador y la leyenda "Informe Científico Período".
 - c. Informe del Director de tareas (en los casos que corresponda), en sobre cerrado.
- B. Envío por correo electrónico:
- a. Se deberá remitir por correo electrónico a la siguiente dirección: infinvest@cic.gba.gob.ar (puntos 1 al 22), en formato .doc zipeado, configurado para papel A-4 y libre de virus.
 - b. En el mismo correo electrónico referido en el punto a), se deberá incluir como un segundo documento un currículum resumido (no más de dos páginas A4), consignando apellido y nombres, disciplina de investigación, trabajos publicados en el período informado (con las direcciones de Internet de las respectivas revistas) y un resumen del proyecto de investigación en no más de 250 palabras, incluyendo palabras clave.
- C. Sistema SIBIPA:
- a. Se deberá peticionar el informe en la modalidad on line, desde el sitio web de la CIC, sistema SIBIPA (ver instructivo).

Nota: El Investigador que desee ser considerado a los fines de una promoción, deberá solicitarlo en el formulario correspondiente, en los períodos que se establezcan en los cronogramas anuales.